

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-085062

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.	H01L 21/82
	G06F 15/60

(21)Application number : 04-237442

(71)Applicant : FUJITSU LTD

(22)Date of filing : 04.09.1992

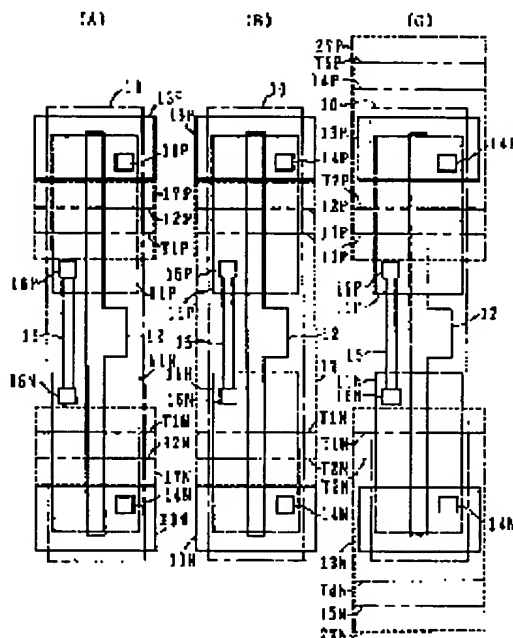
(72)Inventor : SAKATE MASAHIRO

(54) DESIGN OF CELL BASE LAYOUT

(57)Abstract:

PURPOSE: To enable higher integration of a semiconductor integrated circuit by improving usage efficiency of the first wiring layer.

CONSTITUTION: Rectangular areas 17P and 17N which traverse in parallel with a pair of power source wirings 13P and 13N, with no inter-cell wiring between them in the same wiring layer in the standard cell, are allowed to extend/ contact in the direction orthogonal to the power source wirings 13P and 13N within a specified range, and the rectangular-area of the wiring layer is set as the inter-cell wiring channels 17P and 17N, and further, wiring tracks T1P, T2P, T1N and T2N are run in the direction parallel with the power source wirings 13P and 13N, and in addition, the number of wiring tracks is set variable within the range specified by the extension/contraction. On the inter-cell wiring channels 17P and 17N, inter-cell rough routing is made so as to decide the number of wiring tracks in the inter-cell wiring channel, and then based upon the rectangle area of the standard cell is extended/contr



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

(43)公開日 平成6年(1994)3月25日

Figure 1 is a plan view of a semiconductor device. It shows three identical units (10, 11, 12) arranged horizontally. Each unit contains a central gate (12) and various electrodes (13P, 13N, 14P, 14N, 15, 16P, 16N, 17P, 17N, 18P, 18N). The units are connected to a common bus (10) and a common gate (12). The diagram is labeled with various reference numerals and a legend.

Legend:

- 11P: P型拡散電極 (P-type diffusion electrode)
- 11N: N型拡散電極 (N-type diffusion electrode)
- 12: ゲート (Gate)
- 13N, 13P: 電源配線 (Power supply wiring)
- 17N, 17P, 18N, 18P: セル間配線チャネル (Inter-cell wiring channel)
- T1N~T5N, T1P~T5P: 配線トランク (Wiring trunk)

【特許請求の範囲】

【請求項1】 予め登録された、一对の平行な電源配線（13P、13N）を含む標準セルを配置し、標準セル間を概略配線した後、該概略配線を詳細配線にすることにより半導体集積回路のレイアウト設計を行うセルベースレイアウト設計方法において、

該標準セルの、一对の該電源配線の間で該電源配線と同一配線層に該標準セル内の素子間配線が存在しない、該電源配線と平行に横切る矩形領域を、該電源配線と直角な方向へ所定範囲内で伸縮自在とし、該配線層の該矩形領域をセル間配線チャンネル（17P、17N）とし、該セル間配線チャンネル内に、該電源配線と平行な方向の配線トラック（T1P、T2P、T1N、T2N）を通し、該配線トラックの数を、該伸縮の範囲で定まる所定範囲内で可変としておき、

該セル間配線チャンネル上でセル間概略配線を行って該セル間配線チャンネル内の配線トラック数を決定し、決定した該配線トラック数に基づいて該標準セルの該矩形領域を伸縮させる、

ことを特徴とするセルベースレイアウト設計方法。

【請求項2】 一对の前記電源配線（13P、13N）の一方側の前記セル間配線チャンネル（17P）と一对の該電源配線の他方側の前記セル間配線チャンネル（17N）とを互いに独立なそれぞれ1つのセル間配線チャンネルとして、前記セル間概略配線を行って該セル間配線チャンネル内の配線トラック数を決定することを特徴とする請求項1記載のセルベースレイアウト設計方法。

【請求項3】 一对の前記電源配線（13P、13N）の一方側の前記セル間配線チャンネル（17P）と一对の該電源配線の他方側の前記セル間配線チャンネル（17N）とを合わせて1つの合成セル間配線チャンネル（17）として、前記セル間概略配線を行って該合成セル間配線チャンネル内の配線トラック数を決定することを特徴とする請求項1記載のセルベースレイアウト設計方法。

【請求項4】 一对の前記電源配線（13P、13N）の一方側の第1の前記セル間配線チャンネル（17P）にさらに、該一方の該電源配線（13P）を挟んで該第1セル間配線チャンネルと反対側に、該電源配線と同一配線層の矩形領域の第2セル間配線チャンネルを確保し、該第1セル間配線チャンネルと該第2セル間配線チャンネルとを合わせて1つの合成セル間配線チャンネル（27）として、該合成セル間配線チャンネル内の配線トラック数を一

定にし、前記セル間概略配線を第1段階と第2段階に分け、該第1段階ではどのセル間配線を該合成セル間配線チャンネルに通すかを決定し、該第2段階では該第1セル間配線チャンネルと該第2セル間配線チャンネルとを互いに独立なそれぞれ1つのセル間配線チャンネルとして、セル間概略配線を行って該第1セル間配線チャンネル内の配線トラック

スレイアウト設計方法。

【請求項5】 前記詳細配線において、前記電源配線（13P）に平行な方向の座標がXA1、XA2の2点間を接続する第1セル間配線と、該座標がXB1、XB2の2点間を接続する第2セル間配線とが前記セル間配線チャンネル（17P）内に在り、XA1>XB1かつXA2<XB2である場合に、該第1セル間配線と該第2セル間配線とが互いに交差しないように配線することを特徴とする請求項1乃至4のいずれか1つに記載のセルベースレイアウト設計方法。

【請求項6】 前記詳細配線後において、前記電源配線（13P）と直角な方向に隣合う2つの前記標準セルの隣合う該電源配線が同電位でかつ隣合う該電源配線間に該電源配線と同一配線層の配線が存在しない場合に、隣合う該標準セルを互いに接近させて隣合う2本の該電源配線を1本化し、かつ、1本化した該電源配線の幅を、1本化前の2本の該電源配線の幅の和よりも小さくすることを特徴とする請求項1乃至5のいずれか1つに記載のセルベースレイアウト設計方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、セルベースレイアウト設計方法に関する。

【0002】

【従来の技術】セルベース設計では、基本ゲートや使用頻度の高い論理回路のパターンを予め標準セルとして登録しておき、標準セルの配置とセル間の配線によりレイアウト設計を行う。

【0003】図9は、従来の標準セルの一例を示す。この標準セルはCMOSインバータであり、セル枠10内には、1対のP型拡散領域11P及びN型拡散領域11Nと、P型拡散領域11P上及びN型拡散領域11N上に延びたポリシリコン等のゲート12と、ゲート12上で12と直角方向に延びた1対の高電位側電源配線13P及び低電位側電源配線13Nと、電源配線13PとP型拡散領域11Pのソースとの間を接続するためのコンタクト14Pと、電源配線13NとN型拡散領域11Nのソースとの間を接続するためのコンタクト14Nと、ゲート12と平行に延びた第1配線層（半導体基板から1番目のメタル配線層）のセル内配線15と、セル内配線15の一端とP型拡散領域11Pのドレインとの間を接続するためのコンタクト16Pと、セル内配線15の他端とN型拡散領域11Nのドレインとの間を接続するためのコンタクト16Nとがある。

【0004】電源配線13P及び13Nは第1配線層の配線（第1層配線）であって、その長手方向はセル列に平行であり、この方向をX方向とすると、半導体基板側から2番目のメタル配線層である第2配線層の電源配線の長手方向は、X方向と直角なY方向となっており、半導体基板側から3番目のメタル配線層である第3配線層

の電源配線の長手方向は、X方向となっている。このため、異なるセル列間の配線は第2配線層しか使えない。第2配線層の配線トラックが不足すると、セル間に新たな配線領域を確保して配線を行わなければならないので、回路の集積度が低下する。

【0005】近年のセルベース設計では、集積度を向上させるために、セル内配線のみならずセル間配線もセル上第1配線層を用いて行っている。このセル上配線のために、標準セルには予め配線トラックT1P、T2P、TN1及びTN2が設定されており、このトラック上に

【0006】

【発明が解決しようとする課題】しかし、従来では、セル上配線のトラックが固定されていたので、配線トラックが未使用で無駄になったり、逆に配線トラックが不足して第2配線層及び層間接続用コンタクトを使用しなければならなくなっていたので、集積度が低下する原因となっていた。

【0007】また、現在では一般に、セミカスタムLSIはセルベース設計でグリッドレイアウトが行われ、フルカスタムLSIはマニュアル設計でグリッドレスレイアウトが行われている。しかし、微細加工技術がさらに進歩して1チップに数千万個のトランジスタを集積できるようになると、フルカスタムLSIでも、セルベース設計の占める割合が増えてくる。したがって、グリッドレイアウトを行った後、コンパクションによりグリッドレスレイアウトにした場合に、集積度がより高くなるように配線を行う手法が強く望まれるようになる。

【0008】本発明の目的は、このような問題点及び事情に鑑み、第1配線層の使用効率を高めて半導体集積回路の高集積化を可能にするセルベースレイアウト設計方法を提供することにある。

【0009】

【課題を解決するための手段及びその作用】本発明に係るセルベースレイアウト設計方法を、実施例に係る図を参照して説明する。

【0010】本発明では、例えば図1～3に示す如く、(70) 予め登録された、一対の平行な電源配線13P、13Nを含む標準セルを配置し、標準セル間を概略配線した後、(74) 該概略配線を詳細配線にすることにより半導体集積回路のレイアウト設計を行う。

【0011】該標準セルについては、該標準セルの、一対の電源配線13P、13Nの間で電源配線13P、13Nと同一配線層(第1配線層)に該標準セル内の素子間配線が存在しない、電源配線13P、13Nと平行に横切る矩形領域17P、17Nを、電源配線13P、13Nと直角な方向へ所定範囲内で伸縮自在とし、該配線層の該矩形領域をセル間配線チャンネルとし、該セル間配線チャンネル内に、電源配線13P、13Nと平行な方向の配線トラックT1P～T3P、T1N～T3Nを通

し、該配線トラックの数を、該伸縮の範囲で定まる所定範囲内で可変としておく。

【0012】(70～73) 該セル間配線チャンネル上でセル間概略配線を行って該セル間配線チャンネル内の配線トラック数を決定し、決定した該配線トラック数に基づいて該標準セルの該矩形領域を伸縮させる。

【0013】この伸縮範囲は、トランジスタの特性上制限される。本方法により矩形領域17P、17Nを短縮した場合には、無駄な第1層配線領域が狭くなって第1配線層の使用効率が高められ、回路の集積度を向上させることができる。本方法により矩形領域17P、17Nを伸張した場合には、例えば図4(A)及び図5(A)をそれぞれ図4(B)及び図5(B)と比較すれば明らかのように、第1配線層の使用効率が高められ、半導体集積回路の集積度向上に寄与する。

【0014】本発明の第1態様では、例えば図1(A)に示す如く1対の電源配線13P、13Nの一方13P側のセル間配線チャンネル17Pと一対の電源配線13P、13Nの他方13N側のセル間配線チャンネル17Nとを互いに独立なそれぞれ1つのセル間配線チャンネルとして、セル間概略配線を行って該セル間配線チャンネル17P、17N内の配線トラック数を決定する。

【0015】本発明の第2態様では、例えば図1(B)に示す如く1対の電源配線13P、13Nの一方13P側のセル間配線チャンネル17P(図1(A))と一対の電源配線13P、13Nの他方13N側のセル間配線チャンネル17N(図1(A))とを合わせて1つの合成セル間配線チャンネル17として、セル間概略配線を行って合成セル間配線チャンネル17内の配線トラック数を決定する。

【0016】ブロックの配線要求によってはこのような構成とすることができ、この場合、概略配線が図1(A)の場合よりも簡単になる。

【0017】本発明の第3態様では、例えば図1(C)に示す如く1対の電源配線13P、13Nの一方13P側の第1のセル間配線チャンネル17P(図1(A))にさらに、該一方の電源配線13Pを挟んで第1セル間配線チャンネル17Pと反対側に、電源配線13P、13Nと同一配線層の矩形領域の第2セル間配線チャンネルを確保し、第1セル間配線チャンネル17Pと該第2セル間配線チャンネルとを合わせて1つの合成セル間配線チャンネル27Pとして、合成セル間配線チャンネル27P内の配線トラック数を一定にし、セル間概略配線を第1段階と第2段階に分け、該第1段階ではどのセル間配線を合成セル間配線チャンネル27Pに通すかを決定し、該第2段階では第1セル間配線チャンネル17Pと該第2セル間配線チャンネルとを互いに独立なそれぞれ1つのセル間配線チャンネルとして、セル間概略配線を行って第1セル間配線チャンネル17P内の配線トラック数を決定する。

【0018】比較的大きなブロック内でのセル間配線で

は、図1(A)のようにセル間配線チャンネル17P、17Nを取ると、概略配線が複雑になるが、この第3態様によれば、概略配線の複雑化が避けられる。

【0019】本発明の第4態様では、例えば図6(A)に示す如く、詳細配線において、電源配線13Pに平行な方向の座標がXA1、XA2の2点間を接続する第1セル間配線50と、該座標がXB1、XB2の2点間を接続する第2セル間配線51とがセル間配線チャンネル内に在り、XA1>XB1かつXA2<XB2である場合に、第1セル間配線50と第2セル間配線51とが互いに交差しないように配線する。

【0020】この構成の場合、第2層配線本数をできるだけ少なくして第1配線層の使用効率を高めることができる。

【0021】本発明の第5態様では、例えば図8に示す如く、詳細配線後において、電源配線13N1、13N2と直角な方向に隣合う2つの標準セルの隣合う電源配線13N1、13N2が同電位でかつ隣合う電源配線13N1、13N2間に電源配線13N1、13N2と同一配線層の配線が存在しない場合に、隣合う標準セルを互いに接近させて隣合う2本の電源配線13N1、13N2を1本化し、かつ、1本化した電源配線13Nの幅を、1本化前の2本の電源配線13N1、13N2の幅の和よりも小さくする。

【0022】この構成の場合、2本の電源配線13N1、13N2間が無くなり、かつ、1本化した電源配線13Nの幅が1本化前の2本の電源配線13N1、13N2の幅の和よりも小さくすることができるので、半導体集積回路の集積度が高められる。

【0023】

【実施例】以下、図面に基づいて本発明の実施例を説明する。

【0024】図1及び図3では、図9と同一構成要素に同一符号を付している。

【0025】本実施例では、図1において、高電位側電源配線13P及び低電位側電源配線13Nをその長手方向に直角な方向へセル列単位で移動可能とし、すなわち、セル間接続用セル上第1層配線が通されるセル間配線チャンネルの幅を可変にし、概略配線の結果に応じてこの幅を決定するようにしている。図1は、このセル間配線チャンネルの取り方を3通り示している。各セル間配線チャンネルは、そのセル列に共通の1つの配線チャンネルとして、配線トラックと無関係に概略配線が行われる。

【0026】図1(A)では、P型拡散領域11P上の第1層配線未使用領域に可変幅のセル間配線チャンネル17Pを取り、N型拡散領域11N上の第1層配線未使用領域に可変幅のセル間配線チャンネル17Nを取っている。セル間配線チャンネル17Pには、電源配線13Pの長手方向に平行な配線トラックT1P及びT2Pが初期設定されている。同様に、セル間配線チャンネル17Nに

は、電源配線13Nの長手方向に平行な配線トラックT1N及びT2Nが初期設定されている。

【0027】概略配線においては各配線チャンネルについて、 $N0 - \Delta N1 \leq N \leq N0 + \Delta N2$ なる範囲のN本のセル間接続用第1層配線が配線トラックと無関係に通される。ここにN0は、電源配線を移動させる前の初期サイズの標準セルのセル間配線チャンネル17P内及び17N内の各々の配線トラック数であり、図1(A)では $N0 = 2$ である。 $\Delta N1$ 及び $\Delta N2$ は、MOSトランジスタの特性上許容される範囲内の値であり、例えば $\Delta N1 = 2$ 、 $\Delta N2 = 1$ である。

【0028】ブロック内の配線要求によっては、図1(B)のように、電源配線13Pと電源配線13Nとの間に、可変幅の1つのセル間配線チャンネル17を取ることができる。セル間配線チャンネル17には、図1(A)と同様に第1層配線未使用領域に配線トラックT1P、T2P、T1N及びT2Nが初期設定されている。

【0029】概略配線においては、セル間配線チャンネル17内に $2N0 - 2\Delta N1 \leq N \leq 2N0 + 2\Delta N2$ なる範囲のN本のセル間接続用第1層配線が配線トラックと無関係に通され、概略配線が図1(A)の場合よりも簡単になる。

【0030】比較的大きなブロック内でのセル間配線では、図1(A)のようにセル間配線チャンネル17P及び17Nを取ると、概略配線が複雑になる。このような場合には、図1(C)のように、電源配線13Pの両側にわたった固定幅のセル間配線チャンネル27Pと、電源配線13Nの両側にわたった固定幅のセル間配線チャンネル27Nとを取る。

【0031】セル間配線チャンネル27Pは、図1(A)の可変幅のセル間配線チャンネル17Pと同一の第1層配線未使用領域を含み、かつ、電源配線13Pを挟んでセル間配線チャンネル17Pと反対側にセル間配線チャンネル17Pと同じ広さの第1層配線未使用領域を含んでいる。前者の領域には配線トラックT1Pと配線トラックT2Pとが初期設定され、後者の領域には配線トラックT4Pと配線トラックT5Pとが初期設定されている。同様に、セル間配線チャンネル27Nは、図1(A)の可変幅のセル間配線チャンネル17Nと同一の第1層配線未使用領域を含み、かつ、電源配線13Nを挟んでセル間配線チャンネル17Nと反対側にセル間配線チャンネル17Nと同じ広さの第1層配線未使用領域を含んでいる。前者の領域には配線トラックT1Nと配線トラックT2Nとが初期設定され、後者の領域には配線トラックT4Nと配線トラックT5Nとが初期設定されている。

【0032】概略配線の第1段階においては、セル間配線チャンネル27P及び27Nの各々について固定本数C、図1(C)の場合は4本のセル間接続用第1層配線が配線トラックと無関係に通され、どの配線が通されるかが決定される。概略配線の第2段階においては、セル

間配線チャンネル 27P を図 1 (A) の可変幅のセル間配線チャンネル 17P と残りの領域のセル間配線チャンネルとに分け、適当な評価関数を用いて、セル間配線チャンネル 17N に $N_0 - \Delta N_1 \leq N \leq N_0 + \Delta N_2$ なる範囲の N 本のセル間接続用第 1 層配線を通し、もう一方のセル間配線チャンネルに C-N 本のセル間接続用第 1 層配線を通す。セル間配線チャンネル 27N についても同様である。

【0033】次に、上記のようなセル間配線チャンネルが設定された標準セルの配置・配線設計手順を図 2 に基づいて説明する。この設計は CAD により手動モード又は自動モードで行われる。なお、図 1 (A) ~ (C) のどのセル間配線チャンネルを用いるかは、例えば、経験に基づき全てのセル列又はセル列毎に予め決めておく。以下、括弧内の数値は、図中のステップ識別番号を表す。

【0034】(70) ネットリストに基づいて、標準セルを配置し、概略配線を行う。例えば図 1 (A) の標準セルを用いた場合には、セル間配線チャンネル 17P 及び 17N にそれぞれ 0~3 本の配線を通すことができるとして、配線経路を具体的に決定せずに概略配線を行う。この際、適当な評価関数を用いて最適化を図る。これによりセル間配線チャンネル 17P、17N 又は 17 に通される配線の本数 N が決定される。

【0035】(71) 上記 N_0 と概略配線後の上記 N とを比較し、 $N > N_0$ であればステップ 72 へ進み、 $N < N_0$ であればステップ 73 へ進み、 $N = N_0$ であればステップ 74 へ進む。

【0036】(72) 例えば図 1 (C) に示す標準セルを用い、 $N_0 = 2$ 、 $N = 3$ である場合には、図 3 (B) に示す如く、電源配線 13P をその長手方向に直角な方向かつセルの外側へ配線トラック T3P のピッチ p だけコンタクト 14P と一緒に移動させ、この方向へ P 型拡散領域 11P を電源配線 13P の移動距離 p だけ延長し、次に、ゲート 12 の端部をこの距離 p だけ延長する。セル間配線チャンネル 17N 内においても、 $N = 3$ であれば、セル間配線チャンネル 17P 内と同様の処理を行う。このようにして、標準セルのサイズを大きくする。このサイズ変更は、セル列かつセル間配線チャンネル毎に行う。このサイズ変更は、一般には、図 1 (A) のようなセル間配線チャンネル 17P 及び 17N に相当する第 1 層配線未使用領域を、電源配線と直角な方向へ伸張させればよい。次に、ステップ 74 へ進む。

【0037】(73) 例えば図 1 (C) に示す標準セルを用い、 $N_0 = 2$ 、 $N = 1$ である場合には、電源配線 13P をその長手方向に直角な方向かつセルの内側へ配線トラック T3P のピッチ p だけコンタクト 14P と一緒に移動させ、この方向へ P 型拡散領域 11P を電源配線 13P の移動距離 p だけ短縮し、次に、ゲート 12 の端部をこの距離 p だけ短縮する。セル間配線チャンネル 17N 内においても、 $N = 1$ であれば、セル間配線チャンネル 17P 内と同様の処理を行う。このようにして、標準セ

ルのサイズを小さくし、無駄な第 1 層配線領域を狭くすることにより、回路の集積度を向上させることができる。このサイズ変更は、セル列かつセル間配線チャンネル毎に行う。このサイズ変更は、一般には、図 1 (A) のようなセル間配線チャンネル 17P 及び 17N に相当する第 1 層配線未使用領域を、電源配線と直角な方向へ短縮させればよい。

【0038】(74) どの配線をどの配線トラック上に配置するかという詳細配線を行う。N の範囲が上記のように限定されているので、本実施例の配線方法を用いても第 2 層配線が必要になる場合がある。概略配線では具体的な配線経路を考慮していないので、詳細配線の仕方によってこの第 2 層配線の本数が異なる。そこで、第 2 層配線の本数を低減するために後述の図 7 に示す処理を行う。

【0039】(75) 次に、コンパクションを行ってパターン冗長部を圧縮することにより、集積度を向上させる。

【0040】コンパクションでは、グリッドレイアウトがグリッドレスレイアウトに変換されて、周囲にコンタクトのない同一配線層の配線の間隔がグリッドのピッチよりも狭くされ、以下に具体的に示すようにマニュアル設計に近いレイアウトを得ることができる。また、例えば図 8 (A) に示す如く、電源配線と直角な方向に隣合う 2 つの標準セルの低電位側電源配線 13N1 と低電位側電源配線 13N2 との間に配線が存在しない場合には、電源配線 13N1 と 13N2 とを、図 8 (B) に示す如く 1 つの電源配線 13N とする。電源配線 13N の幅は、電源配線 13N1 の幅と電源配線 13N2 の幅との和よりも小さくすることができるので、集積度が高められる。この 1 本化は、電源配線間に第 1 層信号線が部分的にある場合でも、電源配線間に第 1 層信号線が無い部分について行うことが可能である。図中、13P1 及び 13P2 は高電位側電源配線である。

【0041】図 4 及び図 5 は、以上のようにして配線された本実施例の効果を従来例と比較して示す。図中、ハッチングを付した配線は第 2 層配線であり、ハッチングを付していない配線は第 1 層配線である。

【0042】図 4 (B) は、電源配線 13P の位置変更前、すなわち従来例のセル上配線を示し、図 4 (A) は、ステップ 72 の処理を行って電源配線 13P の位置を変更した後のセル上配線を示す。

【0043】図 4 (B) では、セル間配線 40 及び 41 は電源配線 13P に対しセルの内側に配置されているので第 1 配線層に敷設されているが、セル間配線 42L とセル間配線 42R の接続はセルの内側で行うことができないので、第 2 配線層に配置して電源配線 13P 上を横切り、セル間配線 42L の一端とセル間配線 42U の一端とをコンタクト 42A で接続し、セル間配線 42R の一端とセル間配線 42U の他端とをコンタクト 42B で

接続している。

【0044】これに対し、図4(A)では、電源配線13Pをセルの外側へ移動させているので、図4(B)の第2層配線の代わりに第1配線層にセル間配線42を配置することができ、これにより第1配線層の使用効率が高くなり、回路の集積度向上に寄与する。

【0045】図4が1つのセル内配線を示しているのに対し、図5は、電源配線と直角方向に隣合った2つのセル間付近の配線を示す。図5(B)は、電源配線13Pの位置変更前、すなわち従来例のセル上配線を示し、図5(A)は、ステップ72の処理を行って電源配線13Pの位置を変更した後のセル上配線を示す。

【0046】高電位側電源配線23Pは、電源配線13Pを含む標準セルと隣合う標準セル内のものである。図5(B)では、セル間配線40Lとセル間配線40Rが電源配線13Pを横切ってセル間配線40U、コンタクト40A及び40Bで接続され、セル間配線41Lとセル間配線41Rが電源配線13Pを横切ってセル間配線41U、コンタクト41A及び41Bで接続され、セル間配線42Lとセル間配線42Rが電源配線13Pを横切ってセル間配線42U、コンタクト42A及び42Bで接続されている。また、セル間配線43Lとセル間配線43Rが電源配線23Pを横切ってセル間配線43D、コンタクト43A及び43Bで接続され、セル間配線44Lとセル間配線44Rが電源配線23Pを横切ってセル間配線44D、コンタクト44A及び44Bで接続されている。

【0047】一方、図5(A)では、電源配線13Pの移動によりセル間配線40、41及び42を第1配線層に配置することができる。セル間配線44L及び44Rは第2配線層にあるので、電源配線23P及び13Pを横切っても第1配線層の使用効率は低下させない。

【0048】図5(B)の電源配線13Pから電源配線23Pまでの幅HB内の配線は、図5(A)の幅HA内の配線に対応し、かつ、 $HA < HB$ となっている。これにより第1配線層の使用効率が高められ、集積度向上に寄与する。

【0049】図4及び図5は、電源配線位置を変更することにより第1配線層の使用効率が高められる例を示しているが、電源配線の位置が同一であっても、配線の仕方により第1配線層の使用効率を高めることができる場合がある。図6は、このような場合を示しており、同一配線を行うのに図6(A)では第2層配線本数が2本であるが、図6(B)では第2層配線本数が3本となっている。図中、ハッチングを付していないセル間配線50、50L、51、51U及び52Uは第1層配線であり、ハッチングを付したセル間配線50R、51L、51R、52L及び52Rは第2層配線である。

【0050】一般に、X座標がXA1とXA2の2点間を接続し、XB1とXB2の2点間を接続し、XC1と

XC2の2点間を接続する場合に、第2層配線本数をできるだけ少なくして第1配線層の使用効率を高める方法を図7に示す。この方法は、上記ステップ74において用いられる。

【0051】(80) (XA1-XB1) (XA2-XB2)の値をJABとし、(XB1-XC1) (XB2-XC2)の値をJBCとし、(XC1-XA1) (XC2-XA2)の値をJCAとする。

【0052】(81) JAB、JBC及びJCAの負の個数3〜0に応じて、以下のステップ82〜85のいずれかの処理を行い、配線間交差数をできるだけ少なくする。

【0053】(82) 負の個数が3の場合には、図示の如く3本の配線の相互交差を0にする。

【0054】(83) 負の個数が2の場合、例えばJAB及びJCAが負でJBCが正の場合には、図示の如くXA1、XA2間の配線とXB1、XB2間の配線とを互いに交差させずに敷設し、XC1、XC2間の配線をXB1、XB2間の配線のみと1回交差させる。この場合、XC2からの配線が第2層配線となるので、この配線が図6(A)のように電源配線13Pを横切っても第1配線層の使用効率は低下しない。

【0055】(84) 負の個数が1の場合、例えばJABが負でJBC及びJCAが正の場合には、図示の如くXA1、XA2間の配線とXB1、XB2間の配線とを互いに交差させずに敷設し、XC1、XC2間の配線をXB1、XB2間の配線のみと1回交差させる。この場合、XC1からの配線が第2層配線となるので、この配線が図6(A)の電源配線13Pを横切っても第1配線層の使用効率は低下しない。

【0056】(85) 負の個数が0の場合には、例えば図示の如く、XB1、XB2間の配線とXA1、XA2間の配線とを互いに1回交差させて敷設し、XB1、XB2間の配線とXC1、XC2間の配線とを互いに1回交差させて敷設する。この場合、XA2及びXC1からの配線が第2層配線となるので、この配線が図6(A)の電源配線13Pを横切っても第1配線層の使用効率は低下しない。

【0057】

【発明の効果】以上説明した如く、本発明に係るセルベースレイアウト設計方法によれば、標準セルの電源配線と同一配線層である第1配線層の使用効率が高められ、半導体集積回路の高集積化が可能となるという優れた効果を奏する。

【0058】ブロックの配線要求によっては本発明の第2態様の構成をとることができ、この場合、概略配線が簡単になるという効果を奏する。

【0059】比較的大きなブロック内でのセル間配線では、第1態様のようにセル間配線チャンネルを取ると、概略配線が複雑になるが、本発明の第3態様によれば、概

略配線の複雑化が避けられるという効果を奏する。

【0060】本発明の第4態様によれば、詳細配線において、第2層配線本数をできるだけ少なくして第1配線層の使用効率を高めることができるという効果を奏する。

【0061】本発明の第5態様によれば、詳細配線後において、隣合う2本の電源配線間が無くなり、かつ、1本化した電源配線の幅が1本化前の2本の電源配線の幅の和よりも小さくなるので、半導体集積回路の集積度が高められるという効果を奏する。

【図面の簡単な説明】

【図1】セル上第1層配線が通されるセル間配線チャネルの取り方を示す標準セルパターン図である。

【図2】標準セル配置・配線設計手順を示すフローチャートである。

【図3】標準セルサイズ変更前後のパターン図である。

【図4】電源配線位置変更前と変更後のセル上配線を示す配線パターン図である。

【図5】電源配線位置変更前と変更後のセル上配線を示す配線パターン図である。

【図6】セル上配線の仕方により第2層配線本数が異なる例を示す配線パターン図である。

【図7】第2層配線本数低減方法を示すフローチャートである。

【図8】コンパクションによる電源配線の1本化を示すパターン図である。

【図9】従来の標準セルパターン図である。

【符号の説明】

10、20 セル枠

11P P型拡散領域

11N N型拡散領域

12 ゲート

13P、13P1、13P2 高電位側電源配線

10 13N、13N1、13N2 低電位側電源配線

14P、14N、16P、16N、40A、40B、4

1A、41B、42A、42B、43A、43B、44

A、44B、51A、51B、50B、52A、52B

コンタクト

15 セル内配線

17P、17N、17、27P、27N セル間配線チャネル

T1P～T5P、T1N～T5N 配線トラック

20 40～42、50～52、40L、41L、42L、4

3L、44L、40R、41R、42R、43R、44

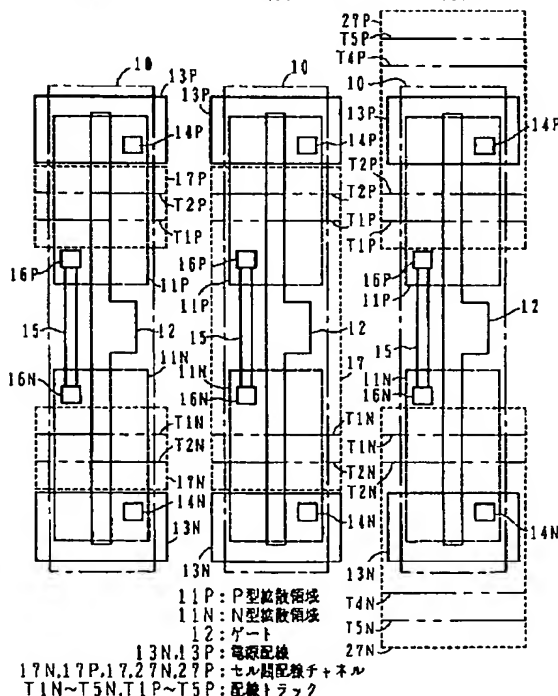
R、40U、41U、42U、43D、44D、50

L、50R、51R、51L、51U、52R、52

L、52U セル間配線

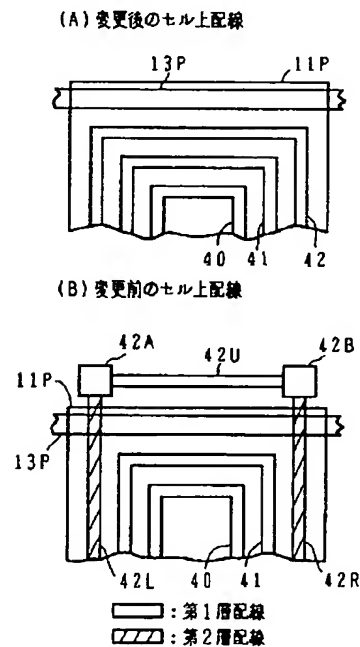
【図1】

セル上第1層配線が通されるセル間配線チャネルの取り方
(A) (B) (C)



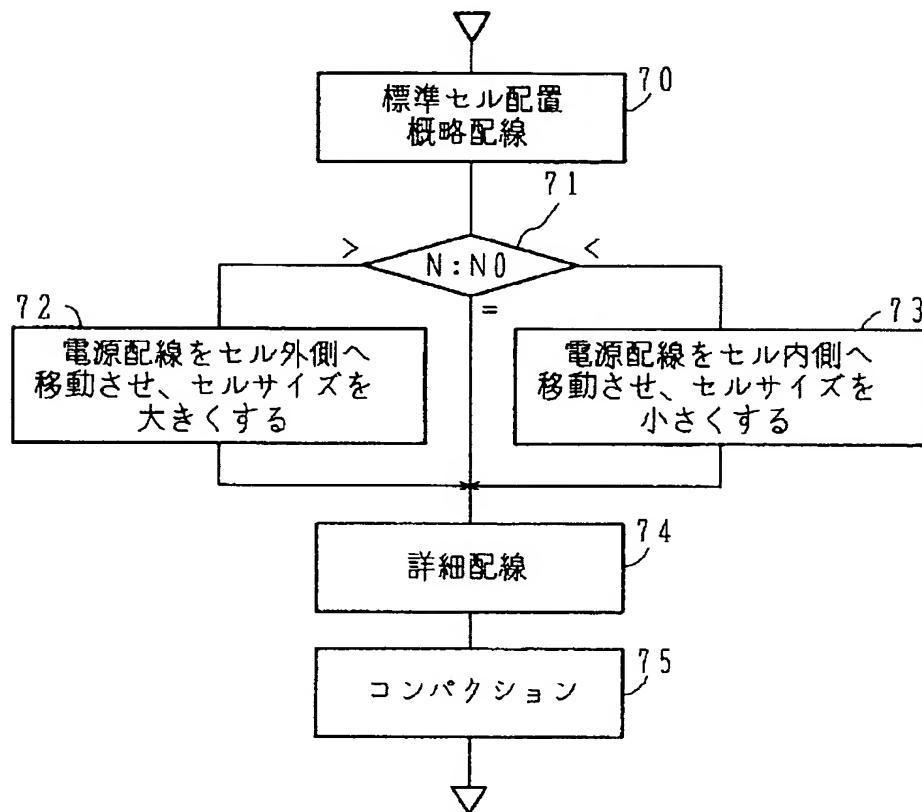
【図4】

電源供給線位置変更前と変更後のセル上配線



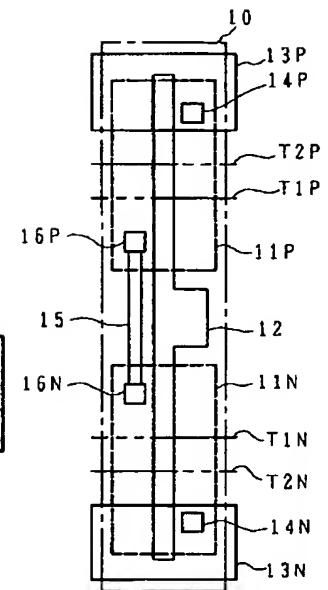
【図2】

標準セル配置・配線設計手順



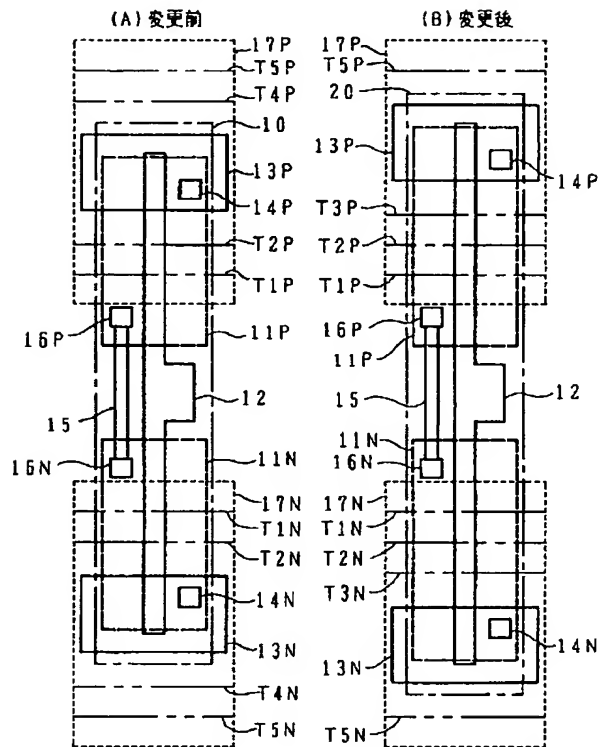
【図9】

従来の標準セル



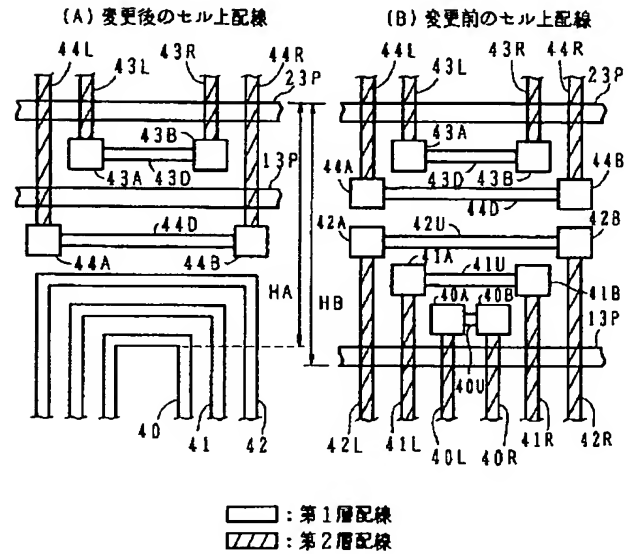
【図3】

標準セルサイズ変更前後のパターン



【図5】

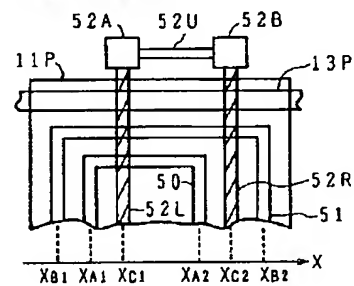
電源供給線位置変更前と変更後のセル上配線



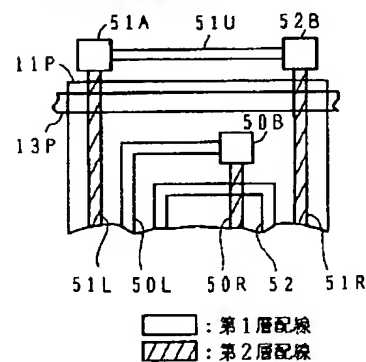
【図6】

セル上配線の仕方により第2層配線本数が異なる例

(A) 第2層配線本数2

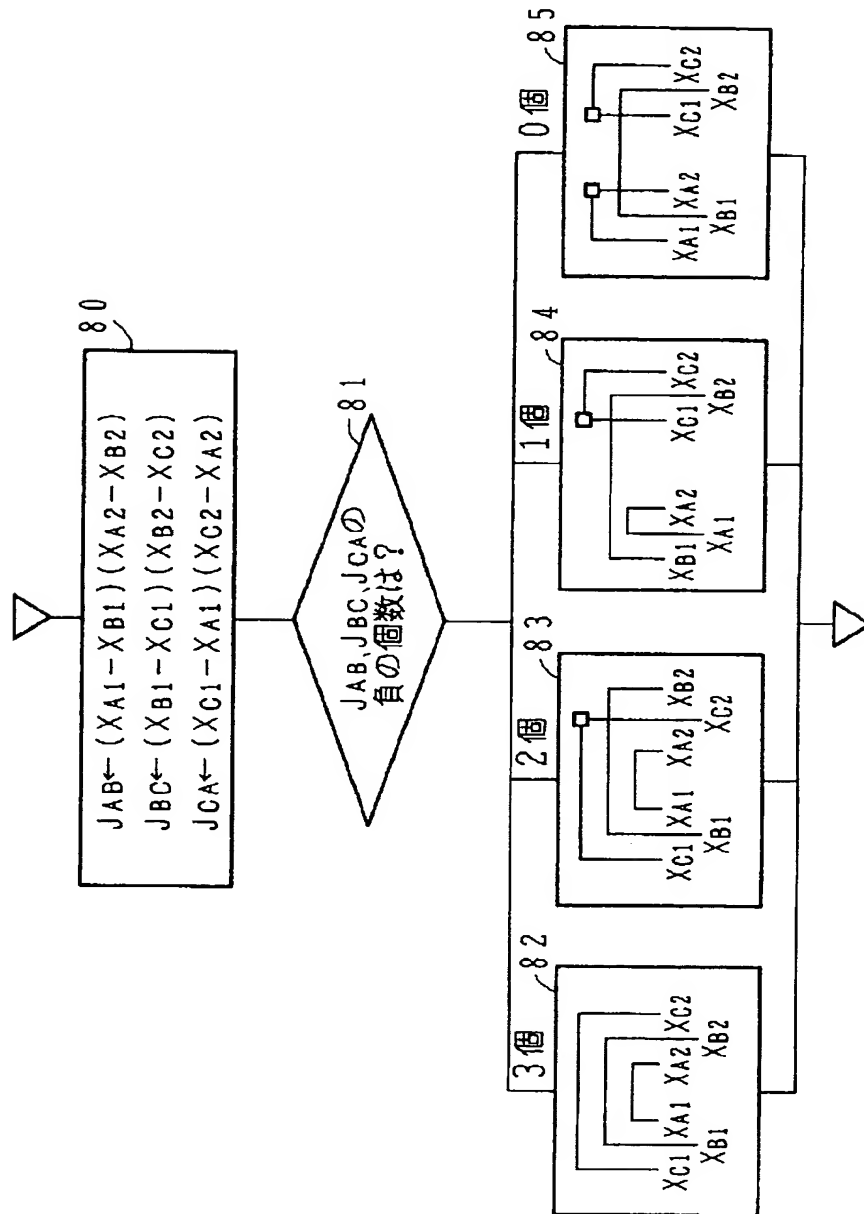


(B) 第2層配線本数3



【図7】

第2層配線本数低減方法



【図8】

